

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SHINJI KUNO

Application No.: Unassigned

Filed: March 22, 2004

For: **Information Processing Apparatus**

Art Group: Unassigned

Examiner: Unassigned

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Japan	2003-3093496	29 August 2003

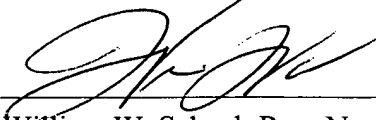
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: March 22, 2004

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (714) 557-3800


William W. Schaal, Reg. No. 39,018

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 8 月 2 9 日
Date of Application:

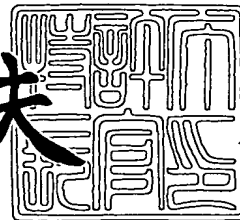
出 願 番 号 特 願 2 0 0 3 - 3 0 7 6 4 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 0 7 6 4 3]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 1 1 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000303863
【提出日】 平成15年 8月29日
【あて先】 特許庁長官 殿
【国際特許分類】 G06F 13/00
【発明者】
 【住所又は居所】 東京都青梅市末広町 2 丁目 9 番地 株式会社東芝青梅事業所内
 【氏名】 久野 真司
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

CPUとストリームデータ処理用のストリームプロセッサとを有する情報処理装置において、

前記ストリームプロセッサに対する処理実行要求を、前記CPUの制御のもとで発行する処理実行要求手段と、

前記ストリームプロセッサにおいて定義されているアプリケーションインタフェース処理を、当該ストリームプロセッサの制御のもとで実行する実処理手段と、

前記処理実行要求手段から前記アプリケーションインタフェース処理の実行要求が発行されたときに、当該アプリケーションインタフェース処理の実行要求を、通信バスを通じて前記実処理手段へ伝えるインタフェース処理手段と

を具備することを特徴とする情報処理装置。

【請求項 2】

前記ストリームプロセッサにおいて定義されているデバイスドライバインタフェース処理を、当該ストリームプロセッサの制御のもとで実行するドライバと、

前記処理実行要求手段から前記デバイスドライバインタフェース処理の実行要求が発行されたときに、当該デバイスドライバインタフェース処理の実行要求を、通信バスを通じて前記ドライバへ伝えるインタフェース処理手段と

を更に具備することを特徴とする請求項 1 の情報処理装置。

【請求項 3】

CPUと、

通信バスと、

前記CPUと前記通信バスとの間に接続され、グラフィックデータを送信するグラフィックスコントローラを備えたブリッジ装置と、

前記通信バスに接続されるストリームデータ処理用のストリームプロセッサと、

前記グラフィックスコントローラと前記ストリームプロセッサとを接続するビデオバスと、

前記CPUの制御のもとで、グラフィックデータを前記グラフィックスコントローラから前記ビデオバスを通じて前記ストリームプロセッサへ転送させるとともに、当該グラフィックデータを画面上で透過表示する際の描画領域上の矩形範囲および透過率を指定した透過表示情報を、前記通信バスを経由して前記ストリームプロセッサへ転送させる制御手段と

を具備することを特徴とする情報処理装置。

【請求項 4】

前記ストリームプロセッサは、前記ビデオバスを通じて転送されてくる前記グラフィックデータを、前記通信バスを通じて転送されてくる前記透過表示情報に示される矩形範囲および透過率に従ってビデオ画像に重ね合わせ、透過表示を行うことを特徴とする請求項 3 記載の情報処理装置。

【請求項 5】

CPUと、

通信バスと、

前記CPUと前記通信バスとの間に接続されるブリッジ装置と、

前記通信バスに接続されるストリームデータ処理用のストリームプロセッサと、

前記通信バスに接続され、パワーオン信号が検出されたときに、前記通信バスを通じて前記ストリームプロセッサと前記CPUとに対してリセット信号を発行するとともに、前記ストリームプロセッサに対してリセット解除信号を発行した後に、前記CPUに対してリセット解除信号を発行する制御手段と

を具備することを特徴とする情報処理装置。

【請求項 6】

前記制御手段は、前記通信バスの監視を行い、前記ストリームプロセッサから前記通信

バスへのアクセスが発行されたか否かを確認することによって当該ストリームプロセッサが正常に起動したか否かを判別することを特徴とする請求項 5 記載の情報処理装置。

【請求項 7】

前記制御手段は、前記通信バスの監視を行い、前記ストリームプロセッサまたは前記 CPU から前記通信バスへのアクセスが一定時間経過しても無ければ、前記ストリームプロセッサおよび前記 CPU をリセットして再起動させることを特徴とする請求項 6 記載の情報処理装置。

【請求項 8】

CPU と、
通信バスと、

前記 CPU と前記通信バスとの間に接続され、第 1 の MII / MDI (Media Independent Interface/Media Dependent Interface) 処理部を搭載したブリッジ装置と、

前記第 1 の MII / MDI 処理部との間で通信を行う第 2 の MII / MDI 処理部を搭載し、ネットワークとの通信を行うネットワークプロセッサと
を具備することを特徴とする情報処理装置。

【請求項 9】

通信バスと、

前記通信バスに接続され、第 1 の MII / MDI (Media Independent Interface/Media Dependent Interface) 処理部を搭載したネットワークインタフェース装置と、

前記第 1 の MII / MDI 処理部との間で通信を行う第 2 の MII / MDI 処理部を搭載し、ネットワークとの通信を行うネットワークプロセッサと
を具備することを特徴とする情報処理装置。

【請求項 10】

CPU と、
通信バスと、

前記 CPU と前記通信バスとの間に接続される第 1 のブリッジ装置と、

前記通信バスに接続されるストリームデータ処理用のストリームプロセッサと、
フラッシュメモリと、

前記通信バスと前記フラッシュメモリとの間に接続される第 2 のブリッジ装置と
を具備することを特徴とする情報処理装置。

【請求項 11】

前記 CPU は、前記第 1 のブリッジ装置および前記第 2 のブリッジを通じて前記フラッシュメモリにアクセス可能であることを特徴とする請求項 10 記載の情報処理装置。

【書類名】明細書**【発明の名称】情報処理装置****【技術分野】****【0001】**

本発明は情報処理装置に関し、特に放送番組データなどのストリームデータを処理するストリームプロセッサを備えた情報処理装置に関する。

【背景技術】**【0002】**

近年、マルチメディア機能を持つ、パーソナルコンピュータ、ゲーム機などのような情報処理装置が開発されている。これら情報処理装置は、ビデオ、オーディオなどの様々なコンテンツデータを処理することができる。

【0003】

最近では、パーソナルコンピュータ、ゲーム機、TV、オーディオ機器、などの家庭内の各種電子機器同士を融合させるためのホームネットワークシステムの開発が進められている。

【0004】

ホームネットワークシステムにおいては、一般に、放送番組データなどのストリームデータを処理するための専用のストリームプロセッサが備えられており、ストリームデータ処理において2種類のプロセッサ（CPUおよびストリームプロセッサ）で分散処理を行うことがある。

【0005】

一方、ストリームデータ処理に関する特定の機能を実現するソフトウェアを開発するような場合、ストリームプロセッサ側とCPU側との両方に対して、それぞれ独立したソフトウェアを構築することとなる。しかし、システムアーキテクチャやデバイスの追加変更が生じた場合、それに応じてストリームプロセッサ側のソフトウェアとCPU側のソフトウェアとの両方に大幅な変更を施さなければならず、多くの時間や費用を費やす結果となる。

【0006】

なお、特許文献1には、異種のハードウェアユニットに対して、グラフィクスライブラリの再設計および再コーディングを必要としないグラフィックスディスプレイシステムが開示されている。

【特許文献1】特開平9-297570号公報

【発明の開示】**【発明が解決しようとする課題】****【0007】**

しかしながら、上記文献のシステムはストリームプロセッサを搭載したものではなく、2種類のプロセッサ（CPUおよびストリームプロセッサ）で分散処理を行う形態のシステムではない。このため、上記文献の技術では、上で述べた問題を解決することはできない。

【0008】

本発明は上述の事情を考慮してなされたものであり、ソフトウェア開発の負担を軽減するとともに個々のプロセッサが効率的に処理を行える情報処理装置および情報処理方法を提供することを目的とする。

【課題を解決するための手段】**【0009】**

本発明に係る情報処理装置は、CPUとストリームデータ処理用のストリームプロセッサとを有する情報処理装置において、前記ストリームプロセッサに対する処理実行要求を、前記CPUの制御のもとで発行する処理実行要求手段と、前記ストリームプロセッサにおいて定義されているアプリケーションインタフェース処理を、当該ストリームプロセッサの制御のもとで実行する実処理手段と、前記処理実行要求手段から前記アプリケーション

ンインタフェース処理の実行要求が発行されたときに、当該アプリケーションインタフェース処理の実行要求を、通信バスを通じて前記実処理手段へ伝えるインタフェース処理手段とを具備することを特徴とする。

【0010】

また、本発明に係る情報処理装置は、CPUと、通信バスと、前記CPUと前記通信バスとの間に接続され、グラフィックデータを送信するグラフィックスコントローラを備えたブリッジ装置と、前記通信バスに接続されるストリームデータ処理用のストリームプロセッサと、前記グラフィックスコントローラと前記ストリームプロセッサとを接続するビデオバスと、前記CPUの制御のもとで、グラフィックデータを前記グラフィックスコントローラから前記ビデオバスを通じて前記ストリームプロセッサへ転送させるとともに、当該グラフィックデータを画面上で透過表示する際の描画領域上の矩形範囲および透過率を指定した透過表示情報を、前記通信バスを經由して前記ストリームプロセッサへ転送させる制御手段とを具備することを特徴とする。

【0011】

また、本発明に係る情報処理装置は、CPUと、通信バスと、前記CPUと前記通信バスとの間に接続されるブリッジ装置と、前記通信バスに接続されるストリームデータ処理用のストリームプロセッサと、前記通信バスに接続され、パワーオン信号が検出されたときに、前記通信バスを通じて前記ストリームプロセッサと前記CPUとに対してリセット信号を発行するとともに、前記ストリームプロセッサに対してリセット解除信号を発行した後に、前記CPUに対してリセット解除信号を発行する制御手段とを具備することを特徴とする。

【0012】

また、本発明に係る情報処理装置は、CPUと、通信バスと、前記CPUと前記通信バスとの間に接続され、第1のMII/MDI (Media Independent Interface/Media Dependent Interface) 処理部を搭載したブリッジ装置と、前記第1のMII/MDI処理部との間で通信を行う第2のMII/MDI処理部を搭載し、ネットワークとの通信を行うネットワークプロセッサとを具備することを特徴とする。

【0013】

また、本発明に係る情報処理装置は、通信バスと、前記通信バスに接続され、第1のMII/MDI (Media Independent Interface/Media Dependent Interface) 処理部を搭載したネットワークインタフェース装置と、前記第1のMII/MDI処理部との間で通信を行う第2のMII/MDI処理部を搭載し、ネットワークとの通信を行うネットワークプロセッサとを具備することを特徴とする。

【0014】

また、情報処理装置は、CPUと、通信バスと、前記CPUと前記通信バスとの間に接続される第1のブリッジ装置と、前記通信バスに接続されるストリームデータ処理用のストリームプロセッサと、フラッシュメモリと、前記通信バスと前記フラッシュメモリとの間に接続される第2のブリッジ装置とを具備することを特徴とする。

【発明の効果】

【0015】

ソフトウェア開発の負担を軽減するとともに個々のプロセッサが効率的に処理を行える。

【発明を実施するための最良の形態】

【0016】

以下、図面を参照して本発明の実施形態を説明する。

図1には、本発明の一実施形態に係る情報処理装置を用いたホームネットワークシステムの構成が示されている。情報処理装置はホームサーバ11として機能する。ホームサーバ11は、ホームネットワークシステムを構築するために用いられるサーバであり、家庭内の各種電子機器、すなわち、各パーソナルコンピュータ(PC)3、カメラなどの各種IEEE1394デバイス5、およびTV受像機6、などに接続されている。

【0017】

ホームサーバ11と各パーソナルコンピュータ（PC）3は有線または無線のLAN2を介して接続されており、またホームサーバ11と各種IEEE1394デバイス5はIEEE1394バス4を介して接続されている。

【0018】

ホームサーバ11は、各パーソナルコンピュータ（PC）3に対して、例えばTV番組のような放送コンテンツの視聴、およびインターネット閲覧等に関するサービスを提供する。

【0019】

すなわち、ホームサーバ11は、各パーソナルコンピュータ3をインターネット1に接続し、インターネット1上のWEBサイトとパーソナルコンピュータ3との間のデータの送受信を行う。さらに、ホームサーバ11は、TV放送受信アンテナ7に接続されており、例えばBS、CS等の衛星放送によって提供されるTV番組などの放送コンテンツデータを受信することが出来る。ホームサーバ11によって受信された放送コンテンツデータはTV受像機6で再生できる他、LAN2を介して各パーソナルコンピュータ3に送信することが出来る。

【0020】

図2には、ホームサーバ11のシステム構成が示されている。ホームサーバ11には、CPU111、ノースブリッジ112、メモリ113、TVチューナ114、ストリームプロセッサ115、ディスク記憶装置117、ネットワークプロセッサ118、およびIEEE1394プロセッサ119等が設けられている。

【0021】

CPU111はこのホームサーバ11の動作を制御するプロセッサであり、ディスク記憶装置117からメモリ113にロードされるオペレーティングシステムおよび各種アプリケーションプログラムを実行する。オペレーティングシステムはファイルシステムを有しており、ディスク記憶装置117に記録される各種コンテンツデータそれぞれをファイルとして管理する。ディスク記憶装置117に対するデータの書き込みおよび読み出しの制御は、CPU111によって実行される。CPU111はノースブリッジ112を介してPCIバス100に接続されている。このPCIバス100は、それに接続されたデバイス間の各種データ転送に使用されるバスである。

【0022】

TVチューナ114は、BS、CS等の衛星放送によって提供される、TV番組などの放送コンテンツデータを受信する受信装置である。衛星放送によって提供される放送コンテンツデータは、MPEG2トランスポートストリーム（TS）と称される圧縮符号化されたストリームデータから構成されている。TVチューナ114は、ストリームデータ（TS）を転送するための専用バス（TSバス）101を介して、ストリームプロセッサ115に接続されている。

【0023】

TVチューナ114によって受信されたストリームデータ（TS）は、TSバス101を介してストリームプロセッサ115に転送される。また、TVチューナ114は、I²Cバス102を介してストリームプロセッサ115に接続されている。I²Cバス102は、ストリームプロセッサ115からTVチューナ114を制御するための制御バスとして使用される。例えば、どのチャンネルのTV番組を受信すべきであることを示す制御情報などが、I²Cバス102を介してストリームプロセッサ115からTVチューナ114に送られる。

【0024】

ストリームプロセッサ115は、ストリームデータに関する処理を実行するために設けられたプロセッサである。ストリームプロセッサ115は、MPU401を内蔵している。MPU401は、ディスク記憶装置117を制御するためのドライバプログラム、およびストリームデータを処理するためのドライバプログラムなどを実行する。

【0025】

ストリームプロセッサ115は、CPU111との間でプロセッサ間通信を実行しながら動作する。ストリームプロセッサ115は、PCIバス100を介してCPU111から通知されるディスクアクセス要求に基づき、PCIバス100バスを介して入力されるデータおよびそのデータをファイルとして管理するためのファイル管理情報をディスク記憶装置117に書き込む処理、およびディスク記憶装置117からPCIバス100上にファイルを構成するデータを読み出す処理を実行する。

【0026】

ファイル管理情報は、ファイルを構成する各データのディスクアドレス、アクセス権情報、等を含む。例えば、UNIX(R)のファイルシステムにおいては、ファイル管理情報はiノードに相当する。iノードは、それに対応する個々のファイル/ディレクトリを管理するためのデータ構造である。1つのファイルに対して1つのiノードが存在する。CPU111は、iノードリストを用いて、ディスク記憶装置117に記憶されている各ファイルを管理する。iノードリストは、ディスク記憶装置117に記憶されている全てのファイルそれぞれに対応するiノードの集合である。ディスク記憶装置117に記憶されている各iノードは、それに対応するiノード番号によって参照される。iノード番号は個々のファイルを一意に識別するためのファイル識別子である。iノード番号は、対応するファイルのiノードを、そのファイル名等から索引するためのインデックスとして使用される。通常、ファイル名とiノード番号は一対一で対応付けられている。

【0027】

ディスク記憶装置117との間のデータの入出力は、通常は、PCIバス100経由で行われるが、放送コンテンツデータをディスク記憶装置117に書き込む場合には、ディスク記憶装置117に書き込むべきデータは、TSバス101を介してTVチューナ114からストリームプロセッサ115に転送される。PCIバス100は使用されない。PCIバス100を介してCPU111からストリームプロセッサ115に転送されるのは、放送コンテンツデータをファイルとして管理するためのファイル管理情報のみである。

【0028】

ストリームプロセッサ115には、メモリ116が接続されている。このメモリ116は、ストリームプロセッサ115によって実行される各プログラムのワークエリアとして使用される他、TVチューナ114から転送されるストリームデータを一時的に保持するバッファメモリとして使用される。

【0029】

メモリ116は、CPU111がアクセス可能なメモリアドレス空間の一部に割り当てられている。つまり、メモリ116はストリームプロセッサ115とCPU111とによって共有されており、ストリームプロセッサ115とCPU111との間のプロセッサ間通信はメモリ116を通じて行われる。もちろん、PCIバス100あるいは専用のプロセッサ間バスを介して、メッセージを授受することによって、ストリームプロセッサ115とCPU111との間のプロセッサ間通信を実行することも出来る。

【0030】

さらに、ストリームプロセッサ115は、CPU111からの指示に従い、ディスク記憶装置117に記録された放送コンテンツのストリームデータをデコードおよび再生する機能を有している。ストリームプロセッサ115は、まず、放送コンテンツのストリームデータに含まれるビデオデータをデコードする。そして、ストリームプロセッサ115は、デコードされたビデオデータをTV出力用のビデオ信号に変換した後に、ビデオ出力端子300からTV受像機6に供給する。放送コンテンツのストリームデータに含まれるオーディオデータについても同様にデコードおよび再生処理され、オーディオデータに対応する音信号がオーディオ出力端子301を通じてTV受像機6または他のオーディオ機器に供給される。

【0031】

ストリームプロセッサ115がデコード及び再生可能なストリームデータは、MPEG

2 トランスポートストリーム (TS) である。

【0032】

ディスク記憶装置 117 はハードディスクドライブから構成されており、IDEバスを介してストリームプロセッサ 115 に接続されている。ディスク記憶装置 117 は、様々なコンテンツデータ (放送コンテンツ、インターネットコンテンツ、その他) の記録に使用される。ディスク記憶装置 117 に記録されているどのコンテンツデータも CPU 111 によってファイルとして管理されているので、CPU 111 は、ディスクアクセス要求をストリームプロセッサ 115 に発行することによって、任意のコンテンツのファイルをディスク記憶装置 117 から読み出すことが出来る。

【0033】

上述したように、TV番組などの放送コンテンツデータの再生処理はストリームプロセッサ 115 によって実行されるが、例えばストリーミング技術を利用したインターネットコンテンツのようなストリームデータの再生処理は、CPU 111 によって実行される。具体的には、CPU 111 によって実行されるWEBブラウザまたはそれにプラグインされたプログラムが、インターネットコンテンツの再生処理を実行する。

【0034】

このように、ホームサーバ 11 においては、互いにデータ形式が異なる2種類のストリームデータ (放送コンテンツとインターネットコンテンツ) が扱われる。どちらのタイプのストリームデータも、TV受像機 6 で視聴することが出来る。

【0035】

ここで、インターネットコンテンツのストリームデータをTV受像機 6 で視聴する場合を想定する。インターネットコンテンツのストリームデータは、CPU 111 によってデコードされた後に、ノースブリッジ 112 に内蔵されているグラフィクスコントローラ 201 に送られる。グラフィクスコントローラ 201 は、デコードされたストリームデータを表示用のビデオ信号 (例えばRGB信号) に変換し、それをビデオバス 103 を介してストリームプロセッサ 115 に送信する。ストリームプロセッサ 115 は、ビデオバス 103 を介して入力されたビデオ信号をTV出力用のビデオ信号に変換して、ビデオ出力端子 300 から出力する。

【0036】

また、ディスク記憶装置 117 はネットワークドライブとしても利用することが出来る。この場合、ディスク記憶装置 117 に記録されている各コンテンツデータを、LAN 2 上の各パーソナルコンピュータ 3 から参照することが出来る。

【0037】

ネットワークプロセッサ 118 は、ホームサーバ 11 をLAN 2 およびインターネット 1 にそれぞれ接続するための通信制御専用のプロセッサであり、ルータおよびアクセスポイントとして機能する。ネットワークプロセッサ 118 は、PCIバス 100 に接続されている。

【0038】

ネットワークプロセッサ 118 は、インターネット 1 に接続するためのWANコネクタ 302 と、LAN 2 に接続するためのLANコネクタ 303 を有している。ネットワークプロセッサ 118 もMPUを内蔵しており、必要に応じてCPU 111 およびストリームプロセッサ 115 それぞれとの間のプロセッサ間通信を行うことが出来る。

【0039】

ネットワークプロセッサ 118 は、ストリームプロセッサ 115 との間のプロセッサ間通信によって、ディスク記憶装置 117 にファイルとして格納されている各コンテンツデータをストリームプロセッサ 115 から取得することが出来る。すなわち、ディスク記憶装置 117 に格納されたコンテンツデータをLAN 2 上のパーソナルコンピュータ 3 に送信する場合、ネットワークプロセッサ 118 は、PCIバス 100 を介してストリームプロセッサ 115 にディスクアクセス要求を発行する。これにより、ネットワークプロセッサ 118 は、パーソナルコンピュータ 3 から要求された放送コンテンツ等のストリームデ

ータを、ディスク記憶装置 117 から読み出して、要求元のパーソナルコンピュータ 3 に送信することが出来る。

【0040】

IEEE1394 プロセッサ 119 は、ホームサーバ 11 と各 I394 デバイス 5 との間の通信を制御するためのプロセッサであり、PCIバス 100 に接続されている。IEEE1394 プロセッサ 119 も MPU を内蔵しており、必要に応じて CPU111 およびストリームプロセッサ 115 それぞれとの間のプロセッサ間通信を行うことが出来る。

【0041】

IEEE1394 プロセッサ 119 は、ストリームプロセッサ 115 との間のプロセッサ間通信によって、ディスク記憶装置 117 に格納されたコンテンツデータをストリームプロセッサ 115 から取得することが出来る。すなわち、ディスク記憶装置 117 に格納されたコンテンツデータを I394 バス 4 上の IEEE1394 デバイス 5 に送信する場合、IEEE1394 プロセッサ 119 は、PCIバス 100 を介してストリームプロセッサ 115 にディスクアクセス要求を発行する。これにより、IEEE1394 プロセッサ 119 は、IEEE1394 デバイス 5 から要求された放送コンテンツ等のストリームデータを、ディスク記憶装置 117 から読み出して、要求元の IEEE1394 デバイス 5 に送信することが出来る。

【0042】

図 3 には、ストリームプロセッサ 115 の内部構成が示されている。

【0043】

ストリームプロセッサ 115 の内部バス 400 には、上述の MPU401 に加え、図示のように、メモリコントローラ 402、IDE コントローラ 403、MPEG2 デコーダ 404、グラフィクスコントローラ 405、オーディオコントローラ 407、ストリーム受信インタフェース 408、I²C インタフェース 409、および PCI バスインタフェース 410 が接続されている。

【0044】

メモリコントローラ 402 および IDE コントローラ 403 は、それぞれ上述のメモリ 116 およびディスク記憶装置 117 を制御する。MPEG2 デコーダ 404 は、MPEG2 トラnsポートストリームをデコードする。このデコード処理においては、まず、MPEG2 トラnsポートストリームからビデオデータとオーディオデータが分離され、次いで、ビデオデータのデコード処理とオーディオデータのデコード処理とが実行される。

【0045】

グラフィクスコントローラ 405 は、MPEG2 デコーダ 404 によってデコードされたビデオデータを、TV 出力用のビデオ信号（例えば、デジタルビデオ、アナログビデオ、DVI 等）に変換する。NTSC 方式の TV 受像機を使用する場合には、グラフィクスコントローラ 405 によって得られたビデオ信号は、NTSC エンコーダ 411 によって NTSC 信号に変換される。

【0046】

また、グラフィクスコントローラ 405 には、RGB インタフェース 406 が接続されている。RGB インタフェース 406 は、ビデオバス 103 を介して入力されるビデオデータ（RGB）を受信するインタフェースである。RGB インタフェース 406 によって受信されたビデオデータ（RGB）はグラフィクスコントローラ 405 に送られ、そこで TV 出力用のビデオ信号（例えば、デジタルビデオ、アナログビデオ、DVI 等）に変換される。

【0047】

オーディオコントローラ 407 は、MPEG2 デコーダ 404 によってデコードされたオーディオデータを音データに変換する音源デバイスである。オーディオコントローラ 407 によって得られた音データは D/A コンバータ（DAC）412 によってデジタル信号からアナログ信号に変換された後に、オーディオ出力端子 301 から出力される。

【0048】

ストリーム受信インタフェース408は、TSバスを介してTVチューナ114から入力されるストリームデータを受信するインタフェースである。ストリーム受信インタフェース408によって受信されたストリームデータは、メモリコントローラ402によってメモリ116に書き込まれる。I²Cインタフェース409は、I²Cバス102を介してチャンネル選択用の制御情報をTVチューナ114に送信する。PCIバスインタフェース410はPCIバス410と内部バス400とを繋ぐインタフェースである。

【0049】

図4は、ストリームプロセッサ115において定義されているアプリケーションインタフェース（以下、API）処理などの実行をCPU111側から透過的に制御する手法を説明するための図である。

【0050】

同図に示されるように、CPU111側のソフトウェアスタックとして、アプリケーションプログラム500、ストリーム制御API透過エントリ501、オーディオ制御API透過エントリ502、I²Cドライバ透過エントリ503、UART（Universal Asynchronous Receiver-Transmitter）ドライバ504などが設けられ、それぞれCPU111のもとで制御される。すなわち、透過エントリには、API用の透過エントリとデバイスドライバに対応するエントリとの2種類がある。

【0051】

一方、ストリームプロセッサ115側のソフトウェアスタックとしては、上記透過エントリ501～504にそれぞれ対応するように、透過API通信インタフェース511、512および透過ドライバ通信インタフェース513、514が設けられ、それぞれストリームプロセッサ115のもとで制御される。また、これら通信インタフェース511～514にそれぞれ対応するように、ストリーム制御API実処理部521、オーディオ制御API実処理部522、I²Cドライバ523、UARTドライバ524が設けられ、それぞれストリームプロセッサ115のもとで制御される。

【0052】

アプリケーションプログラム500は、CPU111の制御のもとでストリームプロセッサ115に対する処理実行要求（もしくはアクセス要求）を発行したり、ストリームプロセッサ115側から返される応答を受け取ったりする。例えば、アプリケーションプログラム500は、指定された関数を実行し、関連するパラメータを含む処理実行要求をストリームプロセッサ115へ送るよう該当する透過エントリへ指示し、ストリームプロセッサ115側から返されてくる処理結果（返り値）を同じ透過エントリを介して受け取る。

【0053】

個々の透過エントリ501～504は、実処理については一切行わず、主にCPU111とストリームプロセッサ115との間のPCIバス100上の通信（I2O通信）のインタフェース処理を行うものである。

【0054】

ストリーム制御API透過エントリ501は、アプリケーションプログラム500からストリーム制御API処理の実行要求が発行されたときにこれを受け、PCIバス100を通じて、当該実行要求を透過API通信インタフェース511へ送る。また、透過API通信インタフェース511から応答が返ってきたときにはこれをアプリケーションプログラム500に渡す。透過API通信インタフェース511は、透過エントリ501からPCIバス100を通じてストリームプロセッサ115に送られてくる処理実行要求を受け取り、その処理実行要求をストリーム制御API実処理部521に渡す。また、この実処理部521から処理実行結果を受けたときにはこれを透過エントリ501へ返す。ストリーム制御API実処理部521は、通信インタフェース511から渡される処理実行要求に従って、ストリームプロセッサ115において定義されているストリーム制御API処理を実行し、処理実行結果を通信インタフェース511に返す。

【0055】

オーディオ制御API透過エントリ502は、アプリケーションプログラム500からオーディオ制御API処理の実行要求が発行されたときにこれを受け、PCIバス100を通じて、当該実行要求を透過API通信インタフェース512へ送る。また、透過API通信インタフェース512から応答が返ってきたときにはこれをアプリケーションプログラム500に渡す。透過API通信インタフェース512は、透過エントリ502からPCIバス100を通じてストリームプロセッサ115に送られてくる処理実行要求を受け取り、その処理実行要求をオーディオ制御API実処理部522に渡す。また、この実処理部522から処理実行結果を受けたときにはこれを透過エントリ502へ返す。オーディオ制御API実処理部522は、通信インタフェース512から渡される処理実行要求に従って、ストリームプロセッサ115において定義されているオーディオ制御API処理を実行し、処理実行結果を通信インタフェース512に返す。

【0056】

I²Cドライバ透過エントリ503は、アプリケーションプログラム500からI²Cドライバインタフェース処理の実行要求が発行されたときにこれを受け、PCIバス100を通じて、当該実行要求を透過ドライバ通信インタフェース513へ送る。また、透過ドライバ通信インタフェース513から応答が返ってきたときにはこれをアプリケーションプログラム500に渡す。透過ドライバ通信インタフェース513は、透過エントリ503からPCIバス100を通じてストリームプロセッサ115に送られてくる処理実行要求を受け取り、その処理実行要求をI²Cドライバ523に渡す。また、このI²Cドライバ523での処理実行結果を受けたときにはこれを透過エントリ503へ返す。I²Cドライバ523は、通信インタフェース513から渡される処理実行要求に従って、ストリームプロセッサ115において定義されているI²Cドライバインタフェース処理を実行し、処理実行結果を通信インタフェース513に返す。

【0057】

UARTドライバ透過エントリ504は、アプリケーションプログラム500からUARTドライバインタフェース処理の実行要求が発行されたときにこれを受け、PCIバス100を通じて、当該実行要求を透過ドライバ通信インタフェース514へ送る。また、透過ドライバ通信インタフェース514から応答が返ってきたときにはこれをアプリケーションプログラム500に渡す。透過ドライバ通信インタフェース514は、透過エントリ504からPCIバス100を通じてストリームプロセッサ115に送られてくる処理実行要求を受け取り、その処理実行要求をUARTドライバ524に渡す。また、このUARTドライバ524での処理実行結果を受けたときにはこれを透過エントリ504へ返す。UARTドライバ524は、通信インタフェース514から渡される処理実行要求に従って、ストリームプロセッサ115において定義されているUARTドライバインタフェース処理を実行し、処理実行結果を通信インタフェース514に返す。

【0058】

図4で説明した手法によれば、2つのプロセッサ（ここでは、CPU111およびストリームプロセッサ115）で分散処理を行う場合、CPU111側が透過的にストリームプロセッサ115側の通信インタフェースにアクセスすることができ、CPU111側にてストリームプロセッサ115内のAPI処理やデバイスドライバ処理を集中して制御することができる。また、CPU111が接続されていない状態であっても、処理速度は遅くなるものの、ストリームプロセッサ115内で閉じた状態でもデバッグすることができる。また、プロセッサ間の接続方式が変わっても、通信インタフェースが同一ならば、既存のアプリケーションを問題無く動作させることができる。

【0059】

図5は、ストリームプロセッサ115にグラフィックデータを効率的に透過表示（アルファブレンディング）させる手法を説明するための図である。

ストリームプロセッサ115で生成されるビデオ画像とグラフィックスコントローラ201で生成されるグラフィック画像とを重ね合わせて表示させたい場合には、グラフィック画像の透過表示を行う必要がある。そのような要求が発生した場合、CPU111の

制御のもとで動作する特定のプログラムは、グラフィックデータをグラフィックスコントローラ 201 からビデオバス 103 を通じてストリームプロセッサ 115 へ転送させるとともに、当該グラフィックデータを画面上で透過表示する際の描画領域上の矩形範囲（例えば、座標 (x1, y1) および (x2, y2) で矩形範囲を指定）および透過率 α を指定した透過表示情報を、図中の符号 C に示されるように P C I バス 100 を経由してストリームプロセッサ 115 へ転送させるための制御を行う。この場合、ストリームプロセッサ 115 は、ビデオバス 103 を通じて転送されてくるグラフィックデータを、P C I バス 100 を通じて転送されてくる透過表示情報に示される矩形範囲および透過率に従ってビデオ画像に重ね合わせ、透過表示を行う。

【0060】

ここで、図 6 を参照して、透過表示のための動作を説明する。

透過表示要求を受けると（ステップ A 1）、指定された矩形範囲および透過率を含むパケットが生成され、P C I バス 100 を介してグラフィックスコントローラ 201 へ転送される（ステップ A 2）。これにより、グラフィックスコントローラ 201 は、転送されてくるパケットから矩形範囲および透過率を取り出し、それらをメモリ 116 に記憶する（ステップ A 3）。

【0061】

また、グラフィックスコントローラ 201 は、グラフィックデータをビデオバス（R G B バス）103 を介して転送する（ステップ A 4）。

【0062】

ストリームプロセッサ 115 は、ビデオバス（R G B バス）103 を介して転送されてきたグラフィックデータを、矩形範囲および透過率に従ってビデオ画像に重ね合わせ、透過表示を行う（ステップ A 5）。

【0063】

図 5 及び図 6 で説明した手法によれば、バス負荷を低減させた効率的な透過表示を行うことができる。すなわち、従来は R G B の各プレーンと同一容量のバス幅を必要とした透過表示情報を、非常に少ないデータ量で転送できる。

【0064】

図 7 は、システム制御マイコンを配置することによって個々のプロセッサの動作状況を監視する手法を説明するための図である。

【0065】

システム制御マイコン 121 は、P C I バス 100 に接続されており、個々のプロセッサの動作状況（パワーオン処理、リブート処理、シャットダウン処理）を並行して監視することが可能である。

【0066】

システムの立ち上がり条件としては、ストリームプロセッサ 115 が最初に起動し、この起動が完了した後に C P U 111 が起動する手順でなければならない。そのため、システム制御マイコン 121 は、マニュアルパワーオン信号およびシステムパワーオン信号が検出されたときには、P C I バス 100 を通じてストリームプロセッサ 115 と C P U 111 とに対してリセット信号を発行するとともに、ストリームプロセッサ 115 に対してリセット解除信号を発行した後に、C P U 111 に対してリセット解除信号を発行するようになっている。その際に、システム制御マイコン 121 は、P C I バス 100 の監視を行い、ストリームプロセッサ 115 から P C I バス 100 へのアクセスが発行されたか否かを確認することによって当該ストリームプロセッサが正常に起動したか否かを判別することができるようになっている。

【0067】

また、システム制御マイコン 121 は、定期的に P C I バス 100 の監視を行っており、ストリームプロセッサ 115 または C P U 111 から P C I バス 100 へのアクセスが一定時間経過しても無ければ、ストリームプロセッサ 115 または C P U 111 が暴走したとみなし、当該ストリームプロセッサ 115 および C P U 111 を強制的にリセットし

て再起動させることができる。

【0068】

ここで、図8を参照して、システム制御マイコン121による各プロセッサの起動制御処理を説明する。

システム制御マイコン121は、信号の発行を待ち（ステップB1）、マニュアルパワーオン信号およびシステムパワーオン信号が検出された場合（ステップB2のYes）、CPU111側とストリームプロセッサ115側とにそれぞれリセット信号を発行する（ステップB3）。

【0069】

そして、システム制御マイコン121は、ストリームプロセッサ115側のリセット解除を行い（ステップB4）、その後に、CPU111側のリセット解除を行う（ステップB5）。

【0070】

次に、図9を参照して、システム制御マイコン121による各プロセッサの動作状況監視処理を説明する。

システム制御マイコン121は、定期的にPCIバス100の監視を行い（ステップC1）、ストリームプロセッサ115またはCPU111からPCIバス100へのアクセスがあるか否かを判別し（ステップC2）、一定時間経過しても無ければ（ステップC3、C4）、ストリームプロセッサ115およびCPU111を強制的にリセットして再起動させる（ステップC5）。

【0071】

図7～図9で説明した手法によれば、個々のプロセッサの起動時には、ストリームプロセッサ115のリセット解除、ストリームプロセッサ115の動作確認を行ったのちに、CPU111のリセット解除を行うため、安定したシステム起動を実現できる。また、特別なソフトウェアを実装することなく、CPU111およびストリームプロセッサ115からのバスアクセスを監視するので、ウォッチドックタイマに相当する機能を実現でき、CPU111やストリームプロセッサ115が暴走したときのリセット処理を容易に行える。

【0072】

図10は、ネットワークプロセッサ118を設置する際の第1の接続手法を説明するための図である。また、図11は、ネットワークプロセッサ118を設置する際の第2の接続手法を説明するための図である。

【0073】

ネットワークプロセッサ118は、一般には、図2のようにPCIバス100上に直接接続される。この接続の際には、ハードウェアの大幅な変更、BIOSの初期化の変更、新規ドライバの作成などの処理を行わなければならない。また、ネットワーク通信のためのPCIバスのトラフィックが増大してしまうという問題もある。

【0074】

そこで、図10に示されるように、ノースブリッジ112がMII/MDI (Media Independent Interface/Media Dependent Interface) 処理部131を搭載（内蔵）しているのであれば、同じ仕様のMII/MDI処理部132を搭載（内蔵）しているネットワークプロセッサ118をノースブリッジ112につなぎ、互いのMII/MDI処理部をライン133により接続する。このような接続を行うことにより、ルータなどのネットワーク処理をネットワークプロセッサ118側で実行することができる。この場合、1ポート分のネットワークインタフェースを用意することにより、本体ハードウェアやソフトウェアの大幅な変更を行うことなく、ネットワークプロセッサ118を実装できる。

【0075】

一方、図11に示されるように、ノースブリッジ112がMII/MDI処理部を搭載（内蔵）していない場合は、MII/MDI処理部135を搭載（内蔵）しているネットワークインタフェース134をPCIバス100に接続する。さらに、このネットワーク

インタフェース 134 に、MII/MDI 処理部 132 を搭載（内蔵）しているネットワークプロセッサ 118 をつなぎ、互いの MII/MDI 処理部をライン 133 により接続する。この場合も、1 ポート分のネットワークインタフェースを用意することにより、本体ハードウェアやソフトウェアの大幅な変更を行うことなく、ネットワークプロセッサ 118 を実装できる。

【0076】

上記構成では、IPV6/ルータ処理などはネットワークプロセッサ 118 側で処理することになるため、CPU 111 やストリームプロセッサ 115 は IPV6/ルータ処理を行う必要がない。

【0077】

図 10 及び図 11 で説明した手法によれば、外部と接続するネットワークインタフェースを PCI バス 100 経由でなく、MII/MDI 経由で接続することにより、アプリケーションの変更を最小限に抑えながらネットワークプロセッサ 118 を機器に実装することができる。

【0078】

図 12 は、PCI バス 100 上に PCI フラッシュメモリブリッジ 141 を接続することによってフラッシュメモリへの高速アクセスを実現する手法を説明するための図である。

【0079】

CPU 111 がデータアクセスを行う際は、通常、ストリームプロセッサ 115 に接続されたディスク記憶装置 117 をアクセス対象とする。しかし、読み書きを行う必要がなく、読み出しのみでよく、頻繁にアクセスされる使用頻度の高いデータ（設定値データ、フォントデータ、辞書データなど）については、ディスク記憶装置 117 に記録することなく、フラッシュメモリ 142 に記憶させる。この場合、フラッシュメモリ 142 と PCI バス 100 との間に、両者間のブリッジ処理を行う PCI フラッシュメモリブリッジ 141 を設ける。

【0080】

この構成により、CPU 111 は、ノースブリッジ 112 および PCI フラッシュメモリブリッジ 141 を通じてフラッシュメモリ上のデータに高速にアクセスすることができる。この場合、ストリームプロセッサ 115 に負荷をかけることなく、また、ストリームプロセッサ 115 経由のネットワークディスクアクセスよりも高速にデータへのアクセスを行える。

【0081】

図 12 で説明した手法によれば、フォントデータや辞書データなどの読み出し用途で頻繁にアクセスされるデータに対しては、ストリームプロセッサ 115 に接続されたディスク記憶装置 117 にアクセスすることなく、PCI フラッシュメモリブリッジ 141 に接続されたフラッシュメモリ 142 にアクセスすることになるので、ストリームプロセッサ 115 に負荷をかけず、システム全体のスループットを向上させることができる。

【0082】

なお、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0083】

【図 1】本発明の一実施形態に係るホームネットワークシステムの構成を示すブロック図。

【図 2】図 1 のホームネットワークシステムで使用されるホームサーバの構成を示すブロック図。

【図3】図2のホームサーバに設けられたストリームプロセッサの構成を示すブロック図。

【図4】ストリームプロセッサにおいて定義されているアプリケーションインタフェース（API）処理などの実行をCPU側から透過的に制御する手法を説明するための図。

【図5】ストリームプロセッサにグラフィックデータを効率的に透過表示（アルファブレンディング）させる手法を説明するための図。

【図6】透過表示のための動作を示すフローチャート。

【図7】システム制御マイコンを配置することによって個々のプロセッサの動作状況を監視する手法を説明するための図。

【図8】システム制御マイコンによる各プロセッサの起動制御処理を示すフローチャート。

【図9】システム制御マイコンによる各プロセッサの動作状況監視処理を示すフローチャート。

【図10】ネットワークプロセッサを設置する際の第1の接続手法を説明するための図。

【図11】ネットワークプロセッサを設置する際の第2の接続手法を説明するための図。

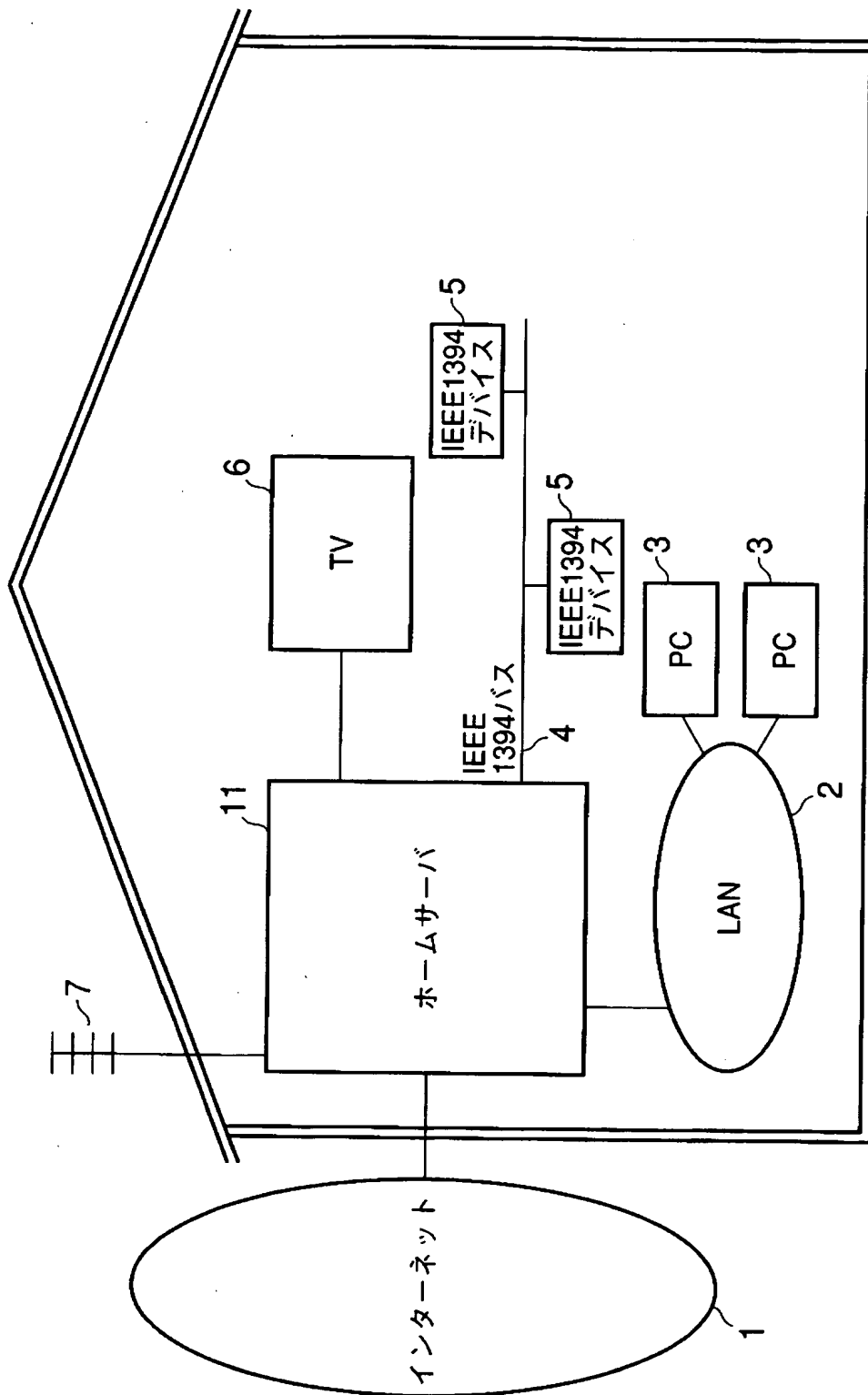
【図12】PCIバス上にPCIフラッシュメモリブリッジを接続することによってフラッシュメモリへの高速アクセスを実現する手法を説明するための図。

【符号の説明】

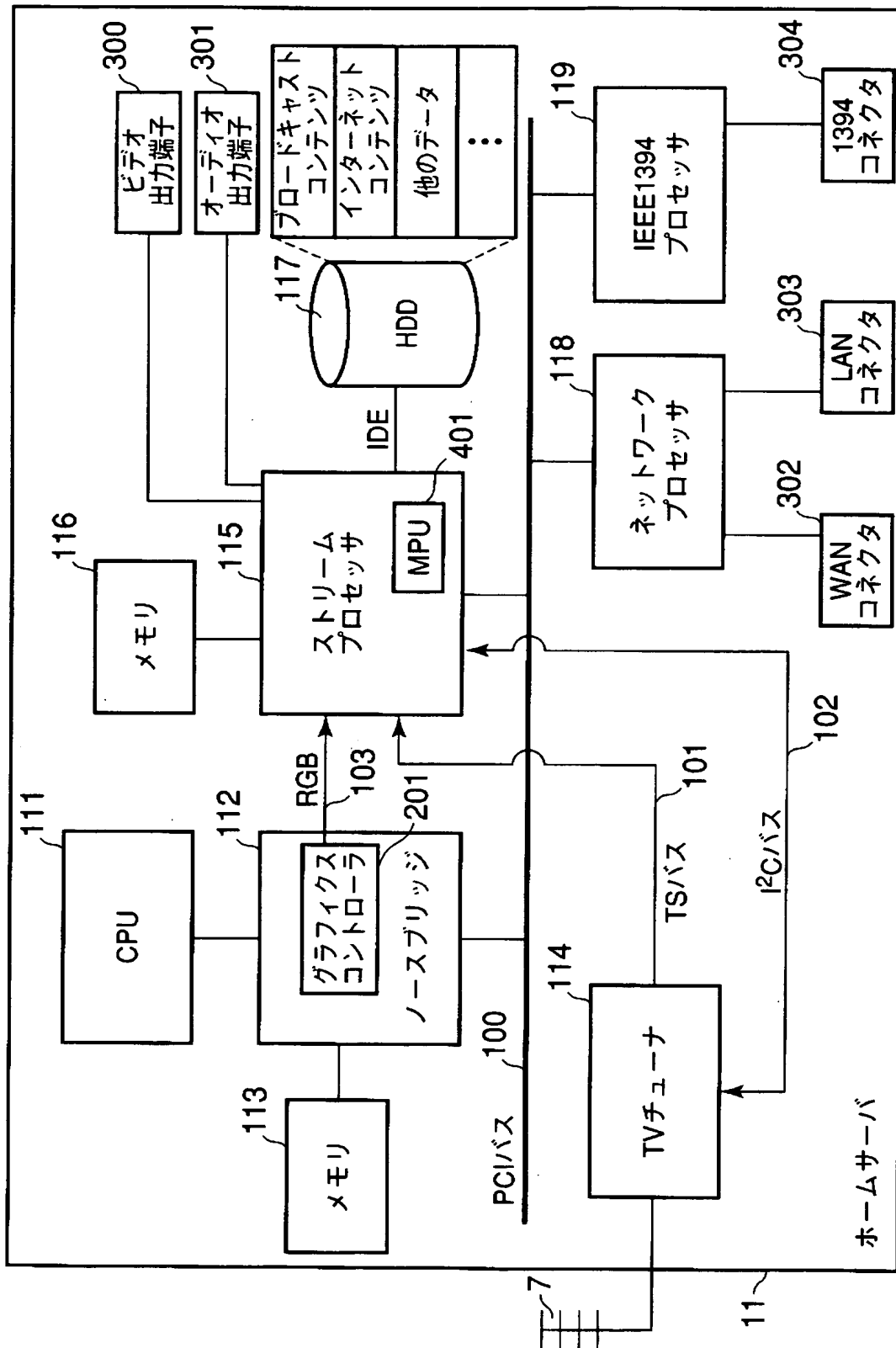
【0084】

11…ホームサーバ、100…PCIバス、111…CPU、112…ノースブリッジ、113…メモリ、114…TVチューナ、115…ストリームプロセッサ、116…メモリ、117…ディスク記憶装置、118…ネットワークプロセッサ、119…IEEE 1394プロセッサ、121…システム制御マイコン、131, 132, 135…MII/MDI処理部、134…ネットワークインタフェース、141…PCIフラッシュメモリブリッジ、142…フラッシュメモリ。

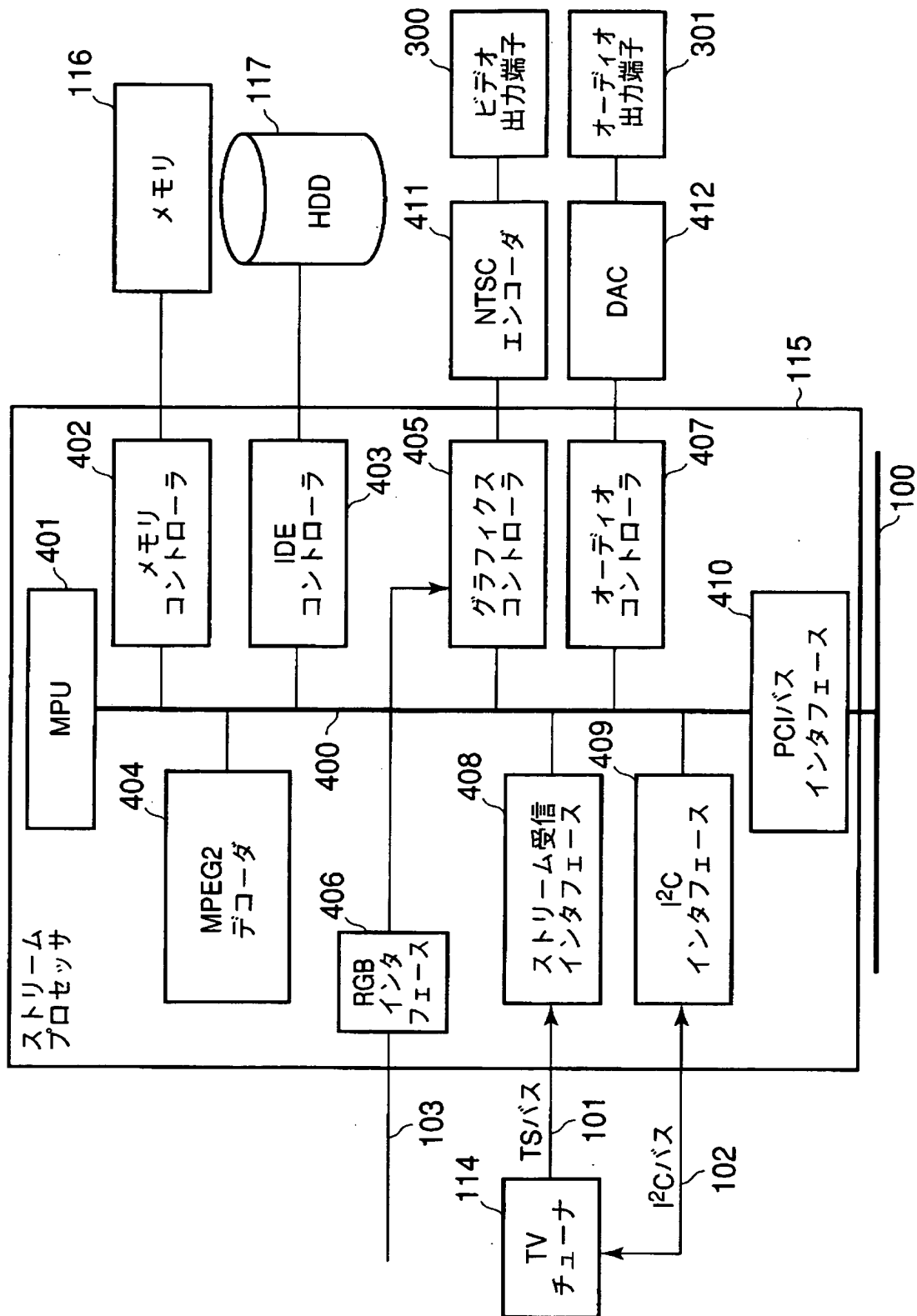
【書類名】 図面
【図 1】



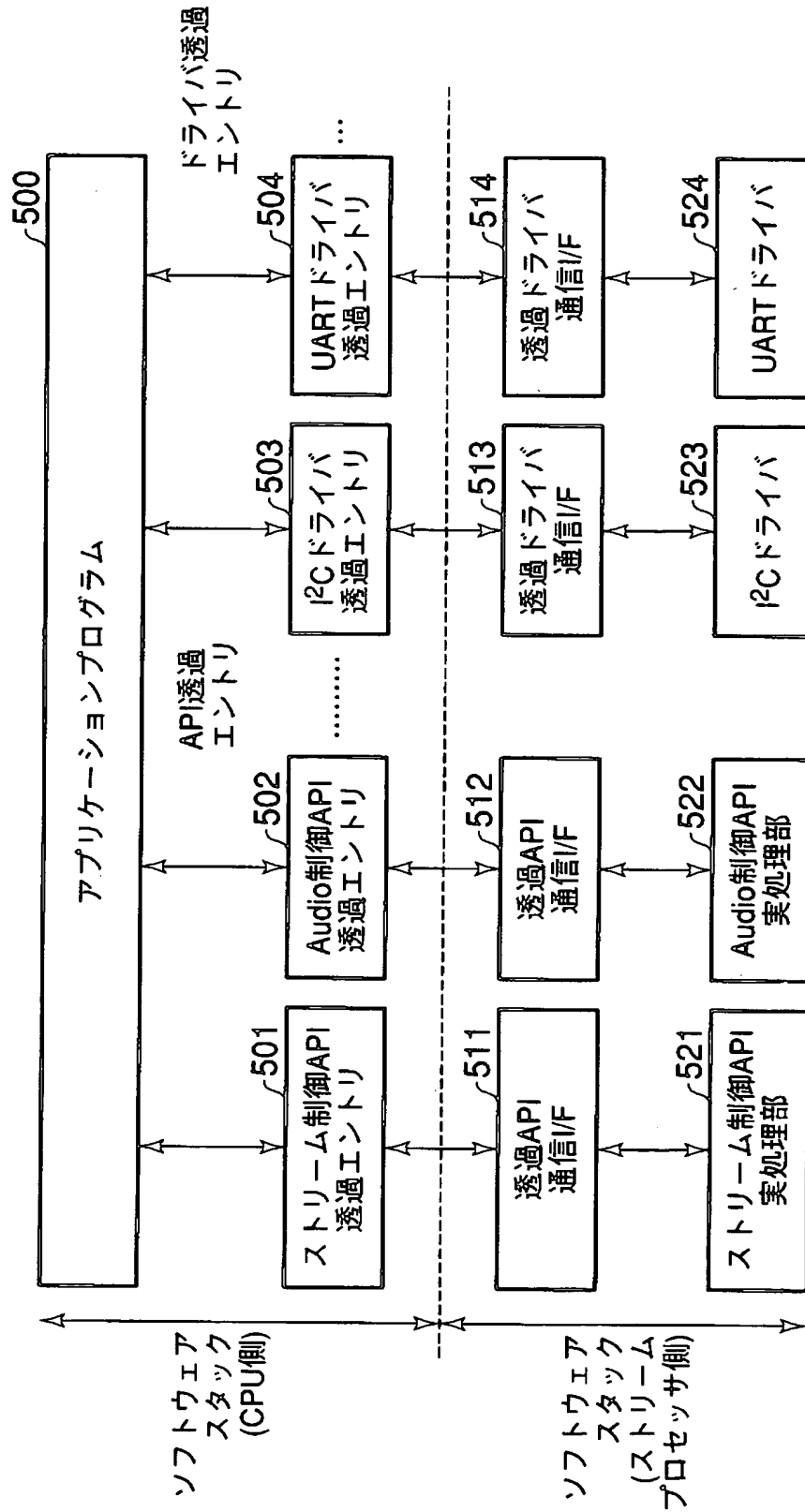
【図2】



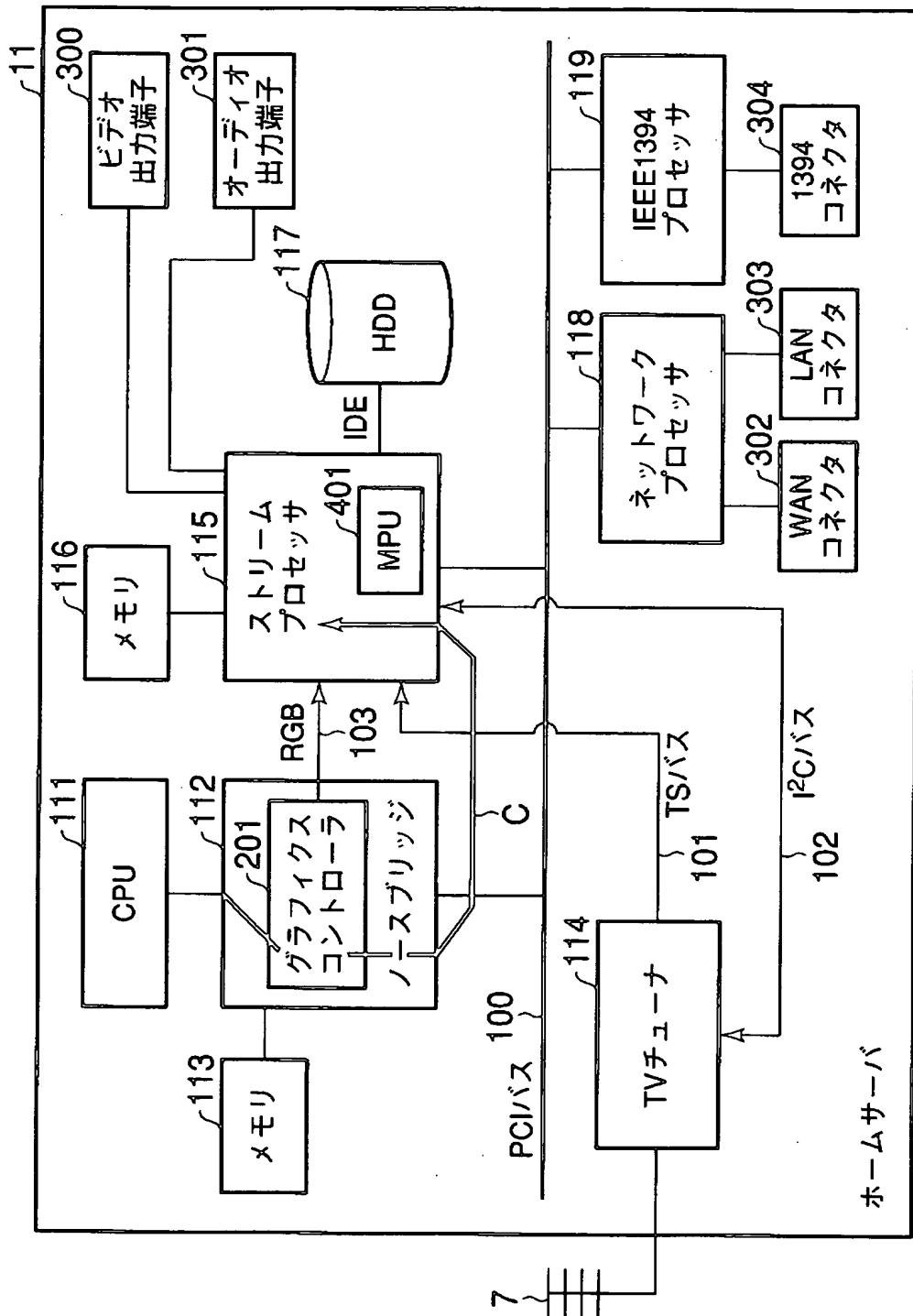
【図 3】



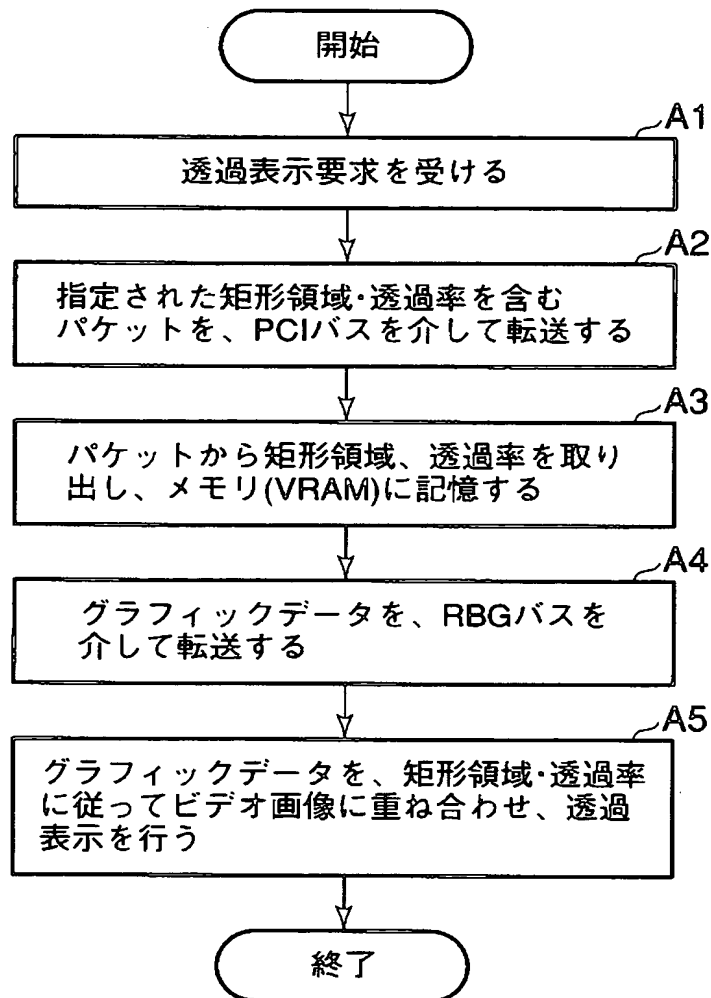
【図4】



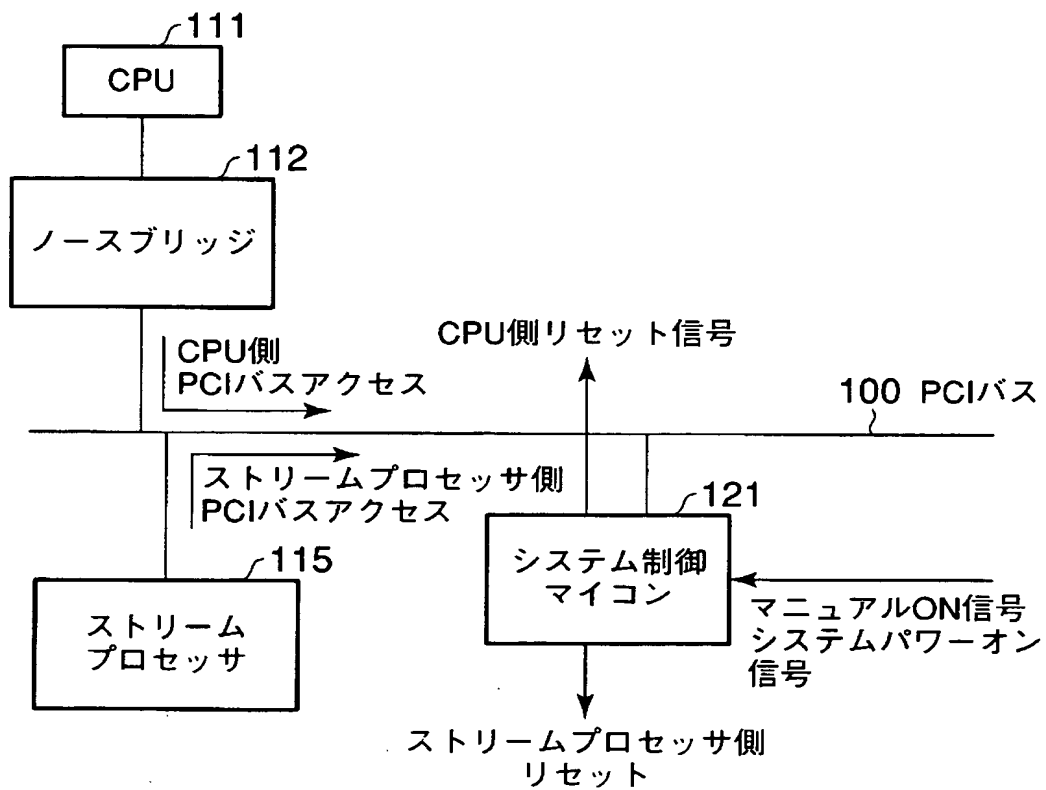
【図5】



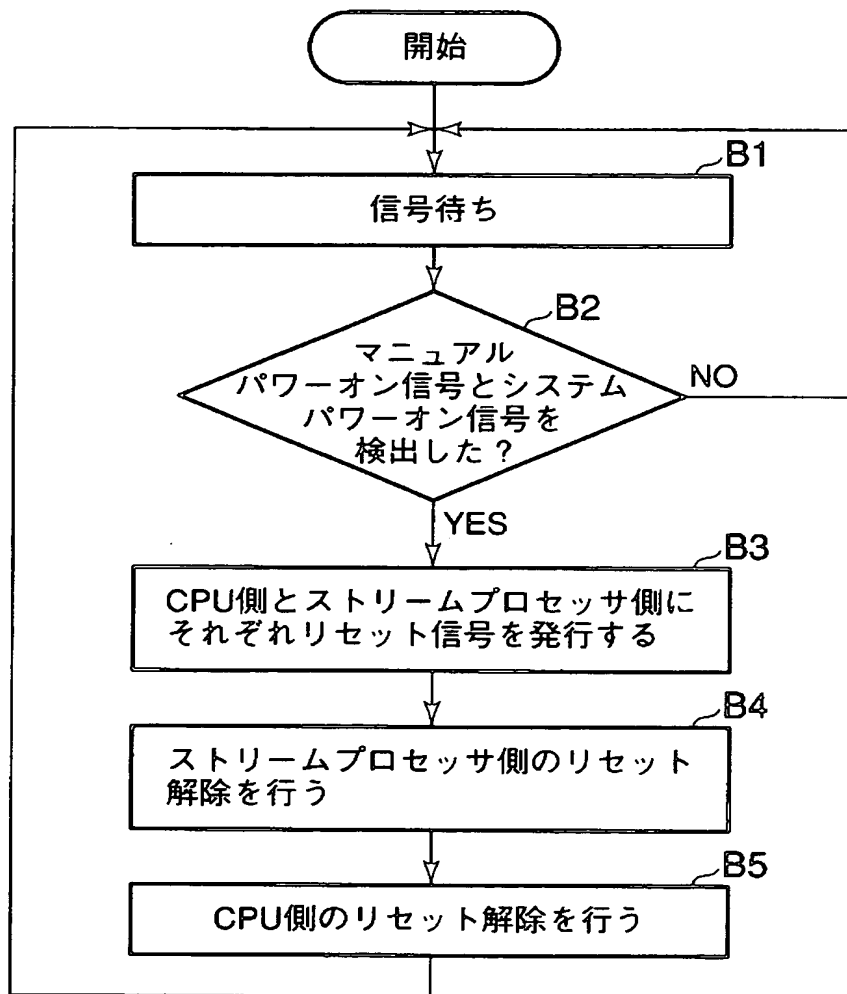
【図 6】



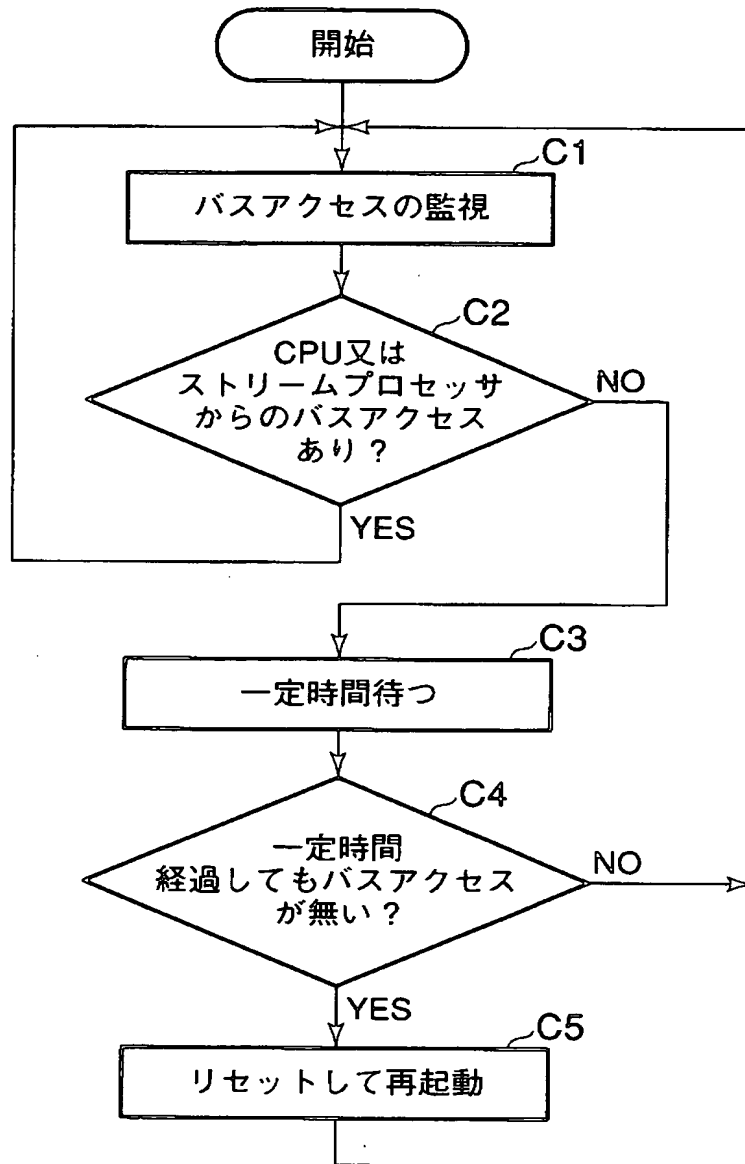
【図 7】



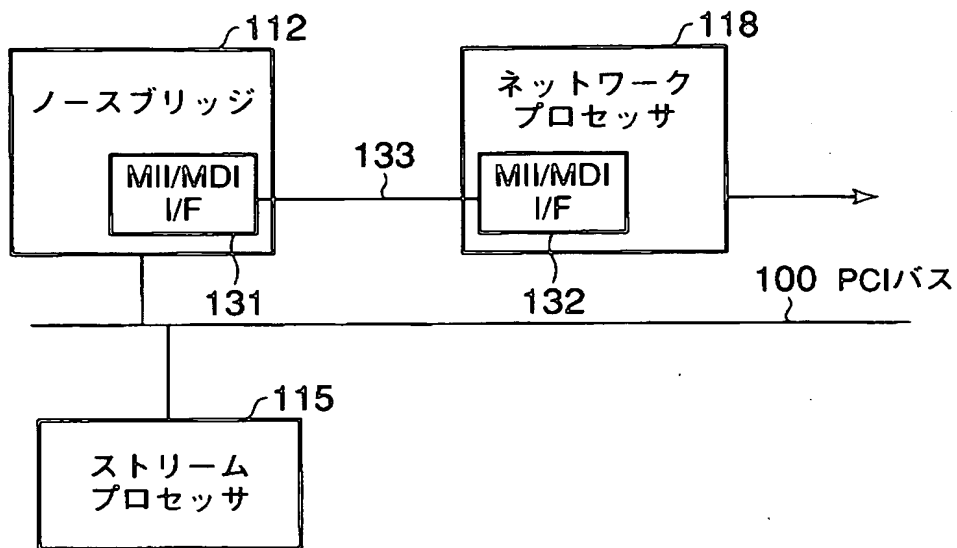
【図 8】



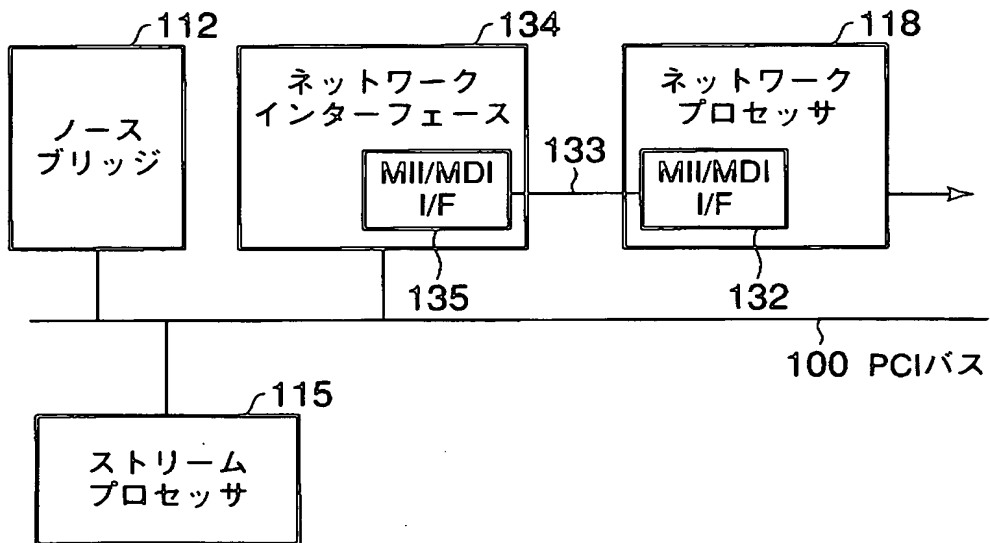
【図 9】



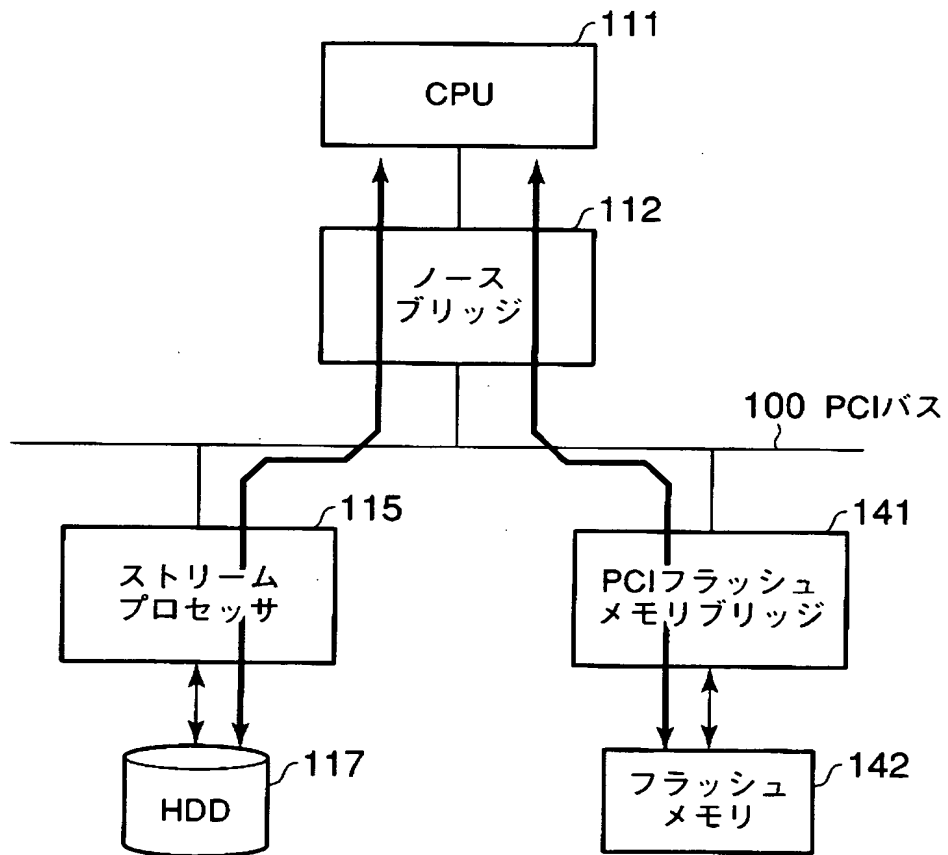
【図10】



【図11】



【図12】



【書類名】 要約書**【要約】**

【課題】 ソフトウェア開発の負担を軽減するとともに個々のプロセッサが効率的に処理を行えるようにする。

【解決手段】 CPUとストリームプロセッサとを有する情報処理装置において、アプリケーションプログラム500は、ストリームプロセッサに対する処理実行要求をCPUの制御のもとで発行する。ストリーム制御API実処理部521およびオーディオ制御API実処理部522は、ストリームプロセッサにおいて定義されているアプリケーションインタフェース処理を当該ストリームプロセッサの制御のもとで実行する。ストリーム制御API透過エントリ501およびオーディオ制御API透過エントリ502は、アプリケーションプログラム500からアプリケーションインタフェース処理の実行要求が発行されたときに、当該アプリケーションインタフェース処理の実行要求を、PCIバスを通じて透過API通信インタフェース511、512に転送し、実処理部へ伝える。

【選択図】 図1

特願 2 0 0 3 - 3 0 7 6 4 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝